

Docket No.: 60188-691

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takayuki MATSUI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 27, 2003	:	Examiner:
	:	
For:		DATA TRANSMISSION SYSTEM, INTERFACE CONTROL SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR CONTROLLING PROTOCOL CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2002-312535, filed on October 28, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: October 27, 2003

60188-691

Takayuki, MATSUI, et al

日 本 国 特 許 庁 October 27, 2003

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月28日

出 願 番 号

Application Number:

特願2002-312535

[ST.10/C]:

[JP 2002-312535]

出 願 人

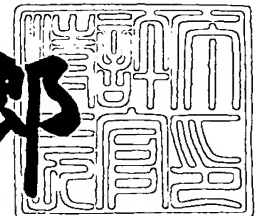
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051965

【書類名】 特許願

【整理番号】 5038040040

【提出日】 平成14年10月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/04

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 松井 崇行

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 岩本 清孝

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 柳澤 玲互

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送装置およびインタフェース制御半導体集積回路、ならびにプロトコル処理回路制御方法

【特許請求の範囲】

【請求項 1】 IEEE 1394 規格に準拠したシリアルデータ転送を行うデータ転送装置であって、

複数のプロトコル処理回路、およびこれら複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の切り替えを行うスイッチを有し、前記シリアルデータ転送を制御するインタフェース制御半導体集積回路と、

前記インタフェース制御半導体集積回路から 1394 制御情報を得、この 1394 制御情報に基づいて、前記複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の判定を行う判定手段とを備え、

前記スイッチは、前記判定手段の判定に基づいて、前記切り替えを行うものである

ことを特徴とするデータ転送装置。

【請求項 2】 請求項 1 に記載のデータ転送装置において、

前記インタフェース制御半導体集積回路は、

前記スイッチの制御情報を保持するクロック制御レジスタと、

前記制御情報に基づいて、前記スイッチの動作を制御するクロックセレクトとを有するものであり、

前記判定手段は、前記判定に基づいて、前記クロック制御レジスタに保持された前記制御情報を更新するものである

ことを特徴とするデータ転送装置。

【請求項 3】 請求項 1 に記載のデータ転送装置において、

前記 1394 制御情報は、IEEE 1394 バス上のノード数であり、

前記判定手段は、前記ノード数に基づいて、前記判定を行うものであることを特徴とするデータ転送装置。

【請求項 4】 請求項 1 に記載のデータ転送装置において、

前記 1394 制御情報は、IEEE 1394 バス上で転送されるパケットであ

り、

前記判定手段は、前記パケットを解析し、この解析結果に基づいて、前記判定を行うものである

ことを特徴とするデータ転送装置。

【請求項 5】 請求項 1 に記載のデータ転送装置において、

前記判定手段は、早くとも、データ転送の開始を要求するトランザクションにおける最初のパケットの送信または受信が行われるとき以降に、前記複数のプロトコル処理回路のうち当該データ転送に係るものについて、クロック供給の判定を行うものである

ことを特徴とするデータ転送装置。

【請求項 6】 請求項 5 に記載のデータ転送装置において、

前記判定手段は、前記トランザクションにおける最後のパケットの送信または受信が行われるとき以降に、前記クロック供給の判定を行うものである

ことを特徴とするデータ転送装置。

【請求項 7】 請求項 1 に記載のデータ転送装置において、

前記判定手段は、遅くとも、データ転送の停止を要求するトランザクションにおける最後のパケットの送信または受信が行われるときまでに、前記複数のプロトコル処理回路のうち当該データ転送に係るものについて、クロック遮断の判定を行うものである

ことを特徴とするデータ転送装置。

【請求項 8】 請求項 7 に記載のデータ転送装置において、

前記判定手段は、前記トランザクションにおける最初のパケットの送信または受信が行われるときまでに、前記クロック遮断の判定を行うものである

ことを特徴とするデータ転送装置。

【請求項 9】 I E E E 1 3 9 4 規格に準拠したシリアルデータ転送に係るプロトコル処理回路を複数有するインタフェース制御半導体集積回路であって、

前記複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の切り替えを行うスイッチを備えた

ことを特徴とするインタフェース制御半導体集積回路。

【請求項 1 0】 請求項 9 に記載のインタフェース制御半導体集積回路において、

前記スイッチの制御情報を保持するクロック制御レジスタと、

前記制御情報に基づいて、前記スイッチの動作を制御するクロックセクタとを備えたことを特徴とするインタフェース制御半導体集積回路。

【請求項 1 1】 請求項 9 に記載のインタフェース制御半導体集積回路において、

1 3 9 4 制御情報に基づいて、前記複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の判定を行う判定手段を備え、

前記スイッチは、前記判定手段の判定に基づいて、前記切り替えを行うものである

ことを特徴とするインタフェース制御半導体集積回路。

【請求項 1 2】 I E E E 1 3 9 4 規格に準拠したシリアルデータ転送を制御するインタフェース制御半導体集積回路におけるプロトコル処理回路を制御するプロトコル処理回路制御方法であって、

前記インタフェース制御半導体集積回路から得た 1 3 9 4 制御情報に基づいて、前記プロトコル処理回路の動作／休止の判定を行う判定ステップと、

前記判定ステップの判定に基づいて、前記プロトコル処理回路の動作／休止の切り替えを制御する制御ステップとを有する

ことを特徴とするプロトコル処理回路制御方法。

【請求項 1 3】 請求項 1 2 に記載のプロトコル処理回路制御方法において、

前記 1 3 9 4 制御情報は、I E E E 1 3 9 4 バス上のノード数であり、

前記判定ステップは、前記ノード数に基づいて、前記判定を行うものであることを特徴とするプロトコル処理回路制御方法。

【請求項 1 4】 請求項 1 2 に記載のプロトコル処理回路制御方法において、

前記 1 3 9 4 制御情報は、I E E E 1 3 9 4 バス上で転送されるパケットであ

り、

前記判定ステップは、前記パケットを解析し、この解析結果に基づいて、前記判定を行うものである

ことを特徴とするプロトコル処理回路制御方法。

【請求項 1 5】 請求項 1 2 に記載のプロトコル処理回路制御方法において

、
前記判定ステップは、早くとも、データ転送の開始を要求するトランザクションにおける最初のパケットの送信または受信が行われるとき以降に、前記プロトコル処理回路の動作の判定を行うものである

ことを特徴とするプロトコル処理回路制御方法。

【請求項 1 6】 請求項 1 5 に記載のプロトコル処理回路制御方法において

、
前記判定ステップは、前記トランザクションにおける最後のパケットの送信または受信が行われるとき以降に、前記プロトコル処理回路の動作の判定を行うものである

ことを特徴とするプロトコル処理回路制御方法。

【請求項 1 7】 請求項 1 2 に記載のプロトコル処理回路制御方法において

、
前記判定ステップは、遅くとも、データ転送の停止を要求するトランザクションにおける最後のパケットの送信または受信が行われるときまでに、前記プロトコル処理回路の休止の判定を行うものである

ことを特徴とするプロトコル処理回路制御方法。

【請求項 1 8】 請求項 1 7 に記載のプロトコル処理回路制御方法において

、
前記判定ステップは、前記トランザクションにおける最初のパケットの送信または受信が行われるときまでに、前記プロトコル処理回路の休止の判定を行うものである

ことを特徴とするプロトコル処理回路制御方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、IEEE 1394 インタフェースに関するものであり、特に、プロトコル処理回路のパワー・マネージメントに好適な技術に属する。

【 0 0 0 2 】

【従来の技術】

現在、デジタル・テレビ（DTV）やデジタル・ビデオ・カメラ（DVC）やセット・トップ・ボックス（STB）などのデジタルAV機器が普及しつつある。これらデジタルAV機器間のデータ転送方式としては、主に、IEEE 1394 規格に準拠したシリアルデータ転送方式が採用されている。

【 0 0 0 3 】

一方、CD-ROMドライブやDVDドライブなどのPC周辺機器についても、IEEE 1394 インタフェースを備えたものが数多く登場しつつある。しかし、PC周辺機器とデジタルAV機器とでは、使用するプロトコルが異なるため、たとえ同じIEEE 1394 端子を備えていても、直接的にはデータ交換を行うことができない。

【 0 0 0 4 】

IEEE 1394 規格に準拠したシリアルデータ転送に係るプロトコルは、AV系とPC系とに大別することができる。AV系のプロトコル（以下、「AVプロトコル」と称する）は、IEEE 1394 のIsochronous転送を用いるものであり、IEC 61883 規格がこの代表例である。一方、PC系のプロトコル（以下、「PCプロトコル」と称する）は、IEEE 1394 のAsynchronous転送を用いるものであり、SBP（Serial Bus Protocol）- 2 規格がこの代表例である。

【 0 0 0 5 】

従来、IEEE 1394 インタフェースを制御するインタフェース制御半導体集積回路（以下、「1394 LSI」と称する）は、AV系のプロトコル処理回路を備えたものと、PC系のプロトコル処理回路を備えたものとに分かれていた。このため、AV系およびPC系の双方にデータ転送を行う場合には、AV系お

よび P C 系の 2 種類の 1 3 9 4 L S I を用いる必要があった。しかし、近年、特に、デジタル A V 機器において、これら 2 つのプロトコルを使用したいとの要求の高まりから、A V 系および P C 系の双方のプロトコル処理回路を備えた 1 3 9 4 L S I が開発されている（たとえば、非特許文献 1，2 参照）。

【 0 0 0 6 】

図 9 は、A V 系および P C 系の双方のプロトコル処理回路を備えた上記の 1 3 9 4 L S I の構成を示す。1 3 9 4 L S I 1 0 0 は、リピータや I E E E 1 3 9 4 バスの初期化およびアビトレーションを行う P H Y 1 1、P H Y 1 1 との間でデータをやり取りする L I N K 制御部 1 2、および複数のプロトコル処理回路 1 3 a，1 3 b，1 3 c を備えている。このうち、プロトコル処理回路 1 3 a は、Isochronous 転送を制御し、M P E G 2 のデータや音声データなどの A V 系データを処理する I S O 制御部である。プロトコル処理回路 1 3 b は、Isochronous パケットに対して D T C P (Digital Transmission Content Protection) 規格に準拠した暗号処理を施す著作権機能制御部である。そして、プロトコル処理回路 1 3 c は、Asynchronous 転送を制御し、P C 系データを処理する S B P - 2 制御部である。このような複数のプロトコル処理回路を備えた 1 3 9 4 L S I の登場により、I E E E 1 3 9 4 規格に準拠した A V 系および P C 系のデータ転送を行うデータ転送装置について、L S I 数の減少による製品コストの削減、システム構成の簡略化、開発期間の短縮などが可能となった。

【 0 0 0 7 】

【非特許文献 1】

松下電器産業株式会社、“デジタル A V 機器向け I E E E 1 3 9 4 インターフェース L S I を開発”、[online]、平成 1 3 年 1 月 1 7 日、松下電器産業株式会社、[平成 1 4 年 1 0 月 2 8 日検索]、インターネット<URL:<http://www.matsushita.co.jp/corp/news/official.data/data.dir/jn010117-1/jn010117-1.html>>

【非特許文献 2】

松下電器産業株式会社、“デジタル A V 機器用 I E E E 1 3 9 4 L S I M N 8 6 4 6 0 2”、[online]、平成 1 3 年 1 0 月 1 日、松下電器産業株式会

社、[平成14年10月28日検索]、インターネット<URL:<http://www.semicon.panasonic.co.jp/leaflet/pdf/M00416CJ.pdf>>

【0008】

【発明が解決しようとする課題】

上記のような1394LSIに搭載された複数のプロトコル処理回路について、すべてが同時に使用されることはない。それにもかかわらず、使用されないプロトコル処理回路にも常時クロックが供給され、電力が無駄に消費されてしまう。

【0009】

現在、上記のような1394LSIは、主に、DTVやDVDドライブなどの据え置き型のデジタル機器に実装されている。据え置き型のデジタル機器では、商用電源から電力供給を受けることができるため、使用されないプロトコル処理回路による消費電力について、特に考慮する必要性がなかった。しかし、今後、DVCなどのモバイル機器に、記録媒体として、DVDやHDDなどのPC系のデータを扱うものが登場することが予想される。モバイル機器は、主としてバッテリーで駆動されるため、消費電力は特に重要な要素である。特に、このようなモバイル機器に搭載される1394LSIについては、使用されないプロトコル処理回路による電力の浪費は避けなければならない。

【0010】

上記の問題に鑑み、本発明は、複数のプロトコル処理回路を備えた1394LSIの消費電力を低減することを課題とする。

【0011】

【課題を解決するための手段】

上記の課題を解決するために本願発明が講じた手段は、IEEE1394規格に準拠したシリアルデータ転送を行うデータ転送装置として、複数のプロトコル処理回路および前記複数のプロトコル処理回路のそれぞれについてクロックの供給／遮断の切り替えを行うスイッチを有し、前記シリアルデータ転送を制御するインタフェース制御半導体集積回路と、前記インタフェース制御半導体集積回路から1394制御情報を得、この1394制御情報に基づいて、前記複数のプロ

トコル処理回路のそれぞれについて、クロックの供給／遮断の判定を行う判定手段とを備えたものとし、前記スイッチは、前記判定手段の判定に基づいて、前記切り替えを行うものとする。なお、供給／遮断の切り替えとは、供給と遮断との切り替えを意味するものである。

【 0 0 1 2 】

この発明によると、判定手段によって、複数のプロトコル処理回路のそれぞれについて、クロックを供給すべきか、あるいは遮断すべきかが判定される。この判定は、インタフェース制御半導体集積回路から得た 1 3 9 4 制御情報に基づくものである。ここで、1 3 9 4 制御情報とは、インタフェース制御半導体集積回路における各種レジスタが保持する I E E E 1 3 9 4 に係る各種情報、およびデータ転送装置間で転送される I E E E 1 3 9 4 に準拠したパケット、特に、パケットのヘッダに含まれる情報のことをいう。このような 1 3 9 4 制御情報を参照することによって、どのプロトコル処理回路を使用すべきであるかを知ることができる。そして、インタフェース制御半導体集積回路におけるスイッチによって、判定手段の判定に基づいて、クロックの供給／遮断が切り替えられる。すなわち、複数のプロトコル処理回路のうち使用すべきものにのみクロックを供給する一方、使用されないものへのクロックを遮断することによって、インタフェース制御半導体集積回路の消費電力を低減することができる。

【 0 0 1 3 】

好ましくは、前記インタフェース制御半導体集積回路に、前記スイッチの制御情報を保持するクロック制御レジスタと、前記制御情報に基づいて、前記スイッチの動作を制御するクロックセレクタとを設ける。そして、前記判定手段は、前記判定に基づいて、前記クロック制御レジスタに保持された前記制御情報を更新するものとする。

【 0 0 1 4 】

具体的には、前記 1 3 9 4 制御情報は、I E E E 1 3 9 4 バス上のノード数とし、前記判定手段は、前記ノード数に基づいて、前記判定を行うものとする。また、具体的には、前記 1 3 9 4 制御情報は、I E E E 1 3 9 4 バス上で転送されるパケットとし、前記判定手段は、前記パケットを解析し、この解析結果に基づ

いて前記判定を行うものとする。

【 0 0 1 5 】

前記判定手段は、早くとも、データ転送の開始を要求するトランザクションにおける最初のパケットの送信または受信が行われるとき以降に、前記複数のプロトコル処理回路のうち当該データ転送に係るものについて、クロック供給の判定を行うものであることが好ましい。さらに、この判定は、前記トランザクションにおける最後のパケットの送信または受信が行われるとき以降に行うと、プロトコル処理回路へのクロックの供給時間をより一層短縮することができるため、より好ましい。

【 0 0 1 6 】

また、前記判定手段は、遅くとも、データ転送の停止を要求するトランザクションにおける最後のパケットの送信または受信が行われるときまでに、前記複数のプロトコル処理回路のうち当該データ転送に係るものについて、クロック遮断の判定を行うものであることが好ましい。さらに、この判定は、前記トランザクションにおける最初のパケットの送信または受信が行われるときまでに行うと、プロトコル処理回路へのクロックの供給時間をより一層短縮することができるため、より好ましい。

【 0 0 1 7 】

また、上記の課題を解決するために本願発明が講じた手段は、I E E E 1 3 9 4 規格に準拠したシリアルデータ転送に係るプロトコル処理回路を複数有するインタフェース制御半導体集積回路として、前記複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の切り替えを行うスイッチとを備えたものとする。

【 0 0 1 8 】

この発明によると、スイッチによって、プロトコル処理回路に、個別にクロックを供給したり、遮断したりすることができる。これにより、たとえば、使用すべきプロトコル処理回路にはクロックを供給する一方、使用されないプロトコル処理回路へのクロックを遮断するといった制御が可能になり、インタフェース制御半導体集積回路すなわち 1 3 9 4 L S I の消費電力を低減することができる。

【 0 0 1 9 】

好ましくは、前記インタフェース制御半導体集積回路に、前記スイッチの制御情報を保持するクロック制御レジスタと、前記制御情報に基づいて、前記スイッチの動作を制御するクロックセレクタとを設けるものとする。

【 0 0 2 0 】

また、好ましくは、前記インタフェース制御半導体集積回路に、1394制御情報に基づいて、前記複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の判定を行う判定手段を設け、前記スイッチは、前記判定手段の判定に基づいて、前記切り替えを行うものとする。

【 0 0 2 1 】

一方、上記の課題を解決するために本願発明が講じた手段は、IEEE1394規格に準拠したシリアルデータ転送を制御するインタフェース制御半導体集積回路におけるプロトコル処理回路を制御するプロトコル処理回路制御方法として、前記インタフェース制御半導体集積回路から得た1394制御情報に基づいて、前記プロトコル処理回路の動作／休止の判定を行う判定ステップと、前記判定ステップの判定に基づいて、前記プロトコル処理回路の動作／休止の切り替えを制御する制御ステップとを有するものとする。

【 0 0 2 2 】

この発明によると、判定ステップによって、複数のプロトコル処理回路のそれぞれについて、動作させるべきか、あるいは休止させるべきかが判定される。この判定は、インタフェース制御半導体集積回路から得た1394制御情報に基づくものであり、1394制御情報を参照することによって、どのプロトコル処理回路を動作させるべきかを判定することができる。そして、制御ステップによって、判定ステップの判定結果に基づいて、プロトコル処理回路の動作／休止の切り替えが制御される。すなわち、複数のプロトコル処理回路のうち使用すべきものののみ動作させる一方、使用されないものは休止させることによって、インタフェース制御半導体集積回路の消費電力を低減することができる。

【 0 0 2 3 】

具体的には、前記1394制御情報は、IEEE1394バス上のノード数と

し、前記判定ステップは、前記ノード数に基づいて、前記判定を行うものとする。また、具体的には、前記 1 3 9 4 制御情報は、I E E E 1 3 9 4 バス上で転送されるパケットとし、前記判定ステップは、前記パケットを解析し、この解析結果に基づいて、前記判定を行うものとする。

【 0 0 2 4 】

前記判定ステップは、早くとも、データ転送の開始を要求するトランザクションにおける最初のパケットの送信または受信が行われるとき以降に、前記プロトコル処理回路の動作の判定を行うものであることが好ましい。さらに、この判定は、前記トランザクションにおける最後のパケットの送信または受信が行われるとき以降に行うと、プロトコル処理回路の動作時間をより一層短縮することができるため、より好ましい。

【 0 0 2 5 】

また、前記判定ステップは、遅くとも、データ転送の停止を要求するトランザクションにおける最後のパケットの送信または受信が行われるときまでに、前記プロトコル処理回路の休止の判定を行うものであることが好ましい。さらに、この判定は、前記トランザクションにおける最初のパケットの送信または受信が行われるときまでに行うと、プロトコル処理回路の動作時間をより一層短縮することができるため、より好ましい。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 2 7 】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態の 1 3 9 4 L S I の構成を示す。なお、図 9 において既に説明した構成要素と同様のものについては、図 9 に付した符号と同一の符号を付し、個々の説明は省略する。

【 0 0 2 8 】

1 3 9 4 L S I 1 0 は、P H Y 1 1、L I N K 制御部 1 2、ならびにプロトコル処理回路として、I S O 制御部 1 3 a、著作権機能制御部 1 3 b、S B P - 2

制御部 1 3 c、および Asynchronous connectionを制御する A y s n c _ c 制御部 1 3 dを備えている。また、これらプロトコル処理回路 1 3 a ~ 1 3 dのそれぞれに対応するスイッチ 1 4 a、1 4 b、1 4 c、1 4 dを備えている。スイッチ 1 4 a ~ 1 4 dは、それぞれ、端子 1 5 a、1 5 b、1 5 c、1 5 dに与えられる信号によって制御可能になっている。

【 0 0 2 9 】

次に、以上のような構成の 1 3 9 4 L S I 1 0 の動作について説明する。

【 0 0 3 0 】

スイッチ 1 4 a ~ 1 4 dは、それぞれ、端子 1 5 a ~ 1 5 dに印加される信号に応じて、開閉状態を切り替える。スイッチ 1 4 a ~ 1 4 dは、それぞれ、閉じることによって、PHY 1 1 から L I N K 制御部 1 2 を経由して受けたクロックをプロトコル処理回路 1 3 a ~ 1 3 dに供給する。一方、開くことによって、クロックを遮断する。

【 0 0 3 1 】

たとえば、今、1 3 9 4 L S I 1 0 が M P E G 2 データの転送中であるとする。このとき、スイッチ 1 4 a を閉じ、スイッチ 1 4 b ~ 1 4 d を開くように端子 1 5 a ~ 1 5 d に信号を印加することによって、M P E G 2 データの処理に必要な I S O 制御部 1 3 a にのみクロックが供給され、その他の使用されないプロトコル処理回路 1 3 b ~ 1 3 d へのクロックは遮断される。これにより、使用されないプロトコル処理回路 1 3 b ~ 1 3 d による電力消費を抑制し、消費電力を低減することができる。M P E G 2 データの処理の際、場合によっては、著作権機能制御部 1 3 b による処理が必要になるかもしれない。この場合には、端子 1 5 b に所定の信号を印加して、スイッチ 1 4 b を閉じればよい。

【 0 0 3 2 】

以上、本実施形態によると、複数のプロトコル処理回路 1 3 a ~ 1 3 d を備えた 1 3 9 4 L S I 1 0 において、スイッチ 1 4 a ~ 1 4 d によって、複数のプロトコル処理回路 1 3 a ~ 1 3 d に、個別にクロックの供給／遮断を行うことができる。これにより、複数のプロトコル処理回路 1 3 a ~ 1 3 d のうち使用すべきものにのみクロックを供給するようにスイッチ 1 4 a ~ 1 4 d を制御することに

よって、1394LSI10の消費電力を、およそ60%程度にまで低減することができる。

【0033】

(第2の実施形態)

図2は、本発明の第2の実施形態のデータ転送装置の構成を示す。なお、第1の実施形態で既に説明した構成要素と同様のものについては、図1に付した符号と同一の符号を付し、個々の説明は省略する。

【0034】

本実施形態のデータ転送装置は、1394LSI10Aと、マイコン20とを備えている。1394LSI10Aは、第1の実施形態の1394LSI10における端子15a, 15b, 15c, 15dを省略し、代わりにクロック制御レジスタ16およびクロックセレクタ17を備えたものである。

【0035】

クロック制御レジスタ16は、スイッチ14a~14dの制御情報を保持している。クロックセレクタ17は、クロック制御レジスタ16が保持する制御情報に基づいて、スイッチ14a~14dの動作を制御する。

【0036】

図3は、クロック制御レジスタ16の内容を示す。クロック制御レジスタ16は、1394LSI10Aが有するプロトコル処理回路13a~13dに対応したレジスタR1~R4を有している。これらレジスタR1~R4の値は、マイコン20によって、書き換えが可能である。

【0037】

クロックセレクタ17は、クロック制御レジスタ16のレジスタR1~R4の値を参照し、レジスタ値が“1”のとき、そのレジスタに対応するプロトコル処理回路13(13a~13dのいずれか1つという意味で「13」とする。以下同じ。)にクロックを供給すべく、スイッチ14(14a~14dのいずれか1つという意味で「14」とする。以下同じ)を制御する。一方、レジスタ値が“0”のとき、そのレジスタに対応するプロトコル処理回路13へのクロックを遮断すべく、スイッチ14を制御する。初期状態では、すべてのレジスタ値は“0

” に設定され、すべてのプロトコル処理回路 1 3 a ～ 1 3 d はクロック遮断状態にある。

【 0 0 3 8 】

マイコン 2 0 は、本発明の判定手段に相当する。マイコン 2 0 には、1 3 9 4 L S I 1 0 A から 1 3 9 4 制御情報を得て、この 1 3 9 4 制御情報に基づいて、プロトコル処理回路 1 3 a ～ 1 3 d について、クロックの供給／遮断の判定を行うようなプログラムが組み込まれている。

【 0 0 3 9 】

以下、マイコン 2 0 によるクロックの供給／遮断の判定方法の 1 例を、図 4 のフローチャートに従って説明する。

【 0 0 4 0 】

まず、マイコン 2 0 は、バスリセットの発生を監視する（S 1 1）。バスリセットは、1 3 9 4 バス上に新しい機器が接続されたり、抜かれたりしたときなどの、バスの初期化が行われた場合に発生するものである。バスリセットが発生した場合、L I N K 制御部 1 2 におけるノードカウンタ 1 2 1 の値が変化する。マイコン 2 0 は、ノードカウンタ 1 2 1 の値を参照しており、この値が変化することをもって、バスリセットの発生を検知する。マイコン 2 0 は、バスリセットの発生を検知すると、そのときのノードカウンタ 1 2 1 の値、すなわちノード数を参照する（S 1 2）。このとき、ノード数が 2 以上であれば、1 3 9 4 バス上に他の機器が接続された状態にあることを認識し、クロック制御レジスタ 1 6 にクロックの供給を設定する（S 1 3）。一方、ノード数が 1 以下であれば、1 3 9 4 バス上に他の機器が接続されているとは認められないため、クロック制御レジスタ 1 6 にクロックの遮断を設定する（S 1 4）。このように、ノード数に基づいて、クロックの供給／遮断の判定が可能である。

【 0 0 4 1 】

ノード数に基づいた判定方法では、プロトコル処理回路 1 3 a ～ 1 3 d のそれぞれが、実際に使用されるものであるか否かについて判別することができない。しかし、この方法は、クロックの供給／遮断の判定方法として、容易に実現できるものである。また、A V 系および P C 系のプロトコル処理回路をいずれか 1 つ

備えた 1 3 9 4 L S I にも応用することが可能である。

【 0 0 4 2 】

一方、1 3 9 4 バス上で転送されるパケットを解析し、この解析結果に基づいて、クロックの供給／遮断の判定を行う方法も可能である。I E E E 1 3 9 4 のパケットには、プロトコル特有の命令（コマンド）が含まれており、これら情報を参照することによって、どのプロトコル処理回路が使用されるかを特定することができる。

【 0 0 4 3 】

次に、クロックの供給／遮断の判定のタイミング、すなわちクロック制御レジスタ 1 6 の更新のタイミングについて説明する。

【 0 0 4 4 】

図 5 は、リクエスタとレスポндаとの間で行われる、I E E E 1 3 9 4 のトランザクションのタイミングチャートである。I E E E 1 3 9 4 のトランザクションは、同タイミングチャートに示したように、大きく 3 つに分けることができる。第 1 は、データ転送の開始を要求するトランザクション T R 1 であり、第 2 は、データ転送の実態であるトランザクション T R 2 であり、第 3 は、データ転送の停止を要求するトランザクション T R 3 である。

【 0 0 4 5 】

まず、クロック供給の判定のタイミングについて説明する。

【 0 0 4 6 】

トランザクション T R 1 において、リクエスタからレスポндаに、最初のパケットである転送開始リクエスト・パケット B G N _ P 1 が送られる。リクエスタ側では、リクエスト・パケット B G N _ P 1 を送信するとき（時刻 T 1）から、データ転送に係るプロトコル処理回路の使用が予想される。したがって、リクエスタ側では、時刻 T 1 までは、このプロトコル処理回路へのクロックを遮断しておき、早くとも、時刻 T 1 以降にクロックを供給するようにクロック制御レジスタ 1 6 を更新すればよい。一方、レスポнда側では、リクエスト・パケット B G N _ P 1 を受信するとき（時刻 T 2）から、データ転送に係るプロトコル処理回路の使用が予想される。したがって、レスポнда側では、早くとも、時刻 T 2 以

降にクロック制御レジスタ 1 6 を更新すればよい。

【 0 0 4 7 】

トランザクション T R 1 において、リクエスト・パケット B G N _ P 1 に続いて別のさまざまなパケットがやり取りされる。そして、最後のパケット（図 5 の例ではレスポンス・パケット B G N _ P n）が転送された後、データ転送トランザクション T R 2 が開始される。リクエスタおよびレスポндаにおいて、データ転送が開始される直前に、プロトコル処理回路にクロックを供給するようにすると、より一層の消費電力の低減が可能となる。したがって、リクエスタ側では、レスポンス・パケット B G N _ P n を送信するとき（時刻 T 3）以降に、クロック制御レジスタ 1 6 を更新することが好ましい。同様に、レスポнда側では、レスポンス・パケット B G N _ P n を受信するとき（時刻 T 4）以降に、クロック制御レジスタ 1 6 を更新することが好ましい。

【 0 0 4 8 】

次に、クロック遮断の判定のタイミングについて説明する。

【 0 0 4 9 】

トランザクション T R 3 において、リクエスタからレスポндаに、最初のパケットである転送停止リクエスト・パケット E N D _ P 1 が送られる。これに続いて別のさまざまなパケットがやり取りされ、最後のパケットである転送停止完了レスポンス・パケット E N D _ P m の転送をもって、トランザクション T R 3 は終了する。リクエスタ側では、レスポンス・パケット E N D _ P m を受信するとき（時刻 T 8）には、既にデータ転送処理は終了している。したがって、リクエスタ側では、時刻 T 8 以降もデータ転送に係るプロトコル処理回路にクロックを供給する必要はなく、遅くとも、時刻 T 8 までに、このプロトコル処理回路にクロックを遮断するようにクロック制御レジスタ 1 6 を更新すればよい。一方、レスポнда側では、レスポンス・パケット E N D _ P m を送信するとき（時刻 T 7）には、既にデータ転送は終了している。したがって、レスポнда側では、遅くとも、時刻 T 7 までにクロック制御レジスタ 1 6 を更新すればよい。

【 0 0 5 0 】

リクエスタおよびレスポндаにおいて、データ転送が停止された直後に、プロ

トコル処理回路へのクロックを遮断するようにすると、より一層の消費電力の低減が可能となる。したがって、リクエスタ側では、トランザクション T R 3 における最初の packets である転送停止リクエスト・パケット E N D _ P 1 を送信するとき（時刻 T 5）までに、クロック制御レジスタ 1 6 を更新することが好ましい。同様に、レスポнда側では、リクエスト・パケット E N D _ P 1 を受信するとき（時刻 T 6）までに、クロック制御レジスタ 1 6 を更新することが好ましい。

【 0 0 5 1 】

以下、A V プロトコルを例に、クロックの供給／遮断の判定方法を具体的に説明する。その前に、A V プロトコルに関する一般的な内容について説明する。

【 0 0 5 2 】

A V プロトコルを用いて Isochronous packets を送信するに先立って、送信機器は、送信に必要な帯域およびチャネル番号を I R M (Isochronous Resource Manager) から取得し、受信機器との間でコネクションを確立する必要がある。その際、送信機器は、プラグ・コントロール・レジスタ (P C R) を参照する。図 6 は、P C R のアドレスマップおよび内容を示す。

【 0 0 5 3 】

コネクションには、ブロードキャスト型およびポイント・ツー・ポイント型の 2 種類がある。また、コネクションを確立または切断する際、条件付き書き込みを行うロック・トランザクションを用いて、P C R を書き換える。まず、コネクションを確立しようとするとき、要求したコネクションが既に確立されているかどうか、ロック・トランザクションによって判断される。そして、コネクションが未確立のときは、コネクションを確立するために P C R に必要な情報の書き込みが行われる。一方、コネクションが既に確立されていたときは、P C R への書き込みは行われない。

【 0 0 5 4 】

ブロードキャスト型コネクションが確立されているとき、P C R における、ブロードキャスト型コネクションの数を示す b c c (broadcast connection count) レジスタは“1”に設定される。一方、ポイント・ツー・ポイント型コネク

ションが確立されているとき、PCRにおける、ポイント・ツー・ポイント型コネクションの数を示す p c c (point-to-point connection counter) レジスタは、現時点で確立されているポイント・ツー・ポイント型コネクションの数に設定される。

【 0 0 5 5 】

次に、AVプロトコルによるデータ転送が行われる場合の、クロック制御レジスタ 1 6 におけるレジスタ R 1 (ISO制御部 1 3 a へのクロック供給/遮断の情報)の更新について説明する。

【 0 0 5 6 】

Isochronousパケットを送信するには、自機(自ノード)が自発的にコネクションを確立してIsochronousパケットの送信を開始するものと、1 3 9 4 バス上の他機(他ノード)から自ノードのPCRレジスタを変更して強制的にコネクションを確立させた上でIsochronousパケットの送信を行うものがある。

【 0 0 5 7 】

図 7 は、自ノードがコネクションを確立/切断する場合のフローチャートである。まず、IRMからIsochronousパケットの送信に必要な帯域およびチャンネル番号が取得(S 2 0 1)される。そして、ポイント・ツー・ポイント型コネクションを要求する場合(S 2 0 2)、ロック・トランザクションが開始され、相手ノードにロック・リクエスト・パケットが送信される(S 2 0 3)。相手ノードにおいて、PCRの書き換えが行われると、ロック・レスポンス・パケットが送信される。そして、ロック・レスポンス・パケットが受信されると(S 2 0 4)、p c c レジスタが正しく更新されたか否かが判定される(S 2 0 5)。更新に失敗した場合は、異常終了し(S 2 0 6)、成功した場合は、ポイント・ツー・ポイント型コネクションが確立する。ここで、クロック制御レジスタ 1 6 におけるレジスタ R 1 が“1”に設定される(S 2 0 7)。

【 0 0 5 8 】

一方、ブロードキャスト型コネクションを要求する場合、帯域およびチャンネル番号が取得された後、自ノードのPCRにおけるb c c レジスタを書き換える(S 2 0 9)。これによって、ブロードキャスト型コネクションが確立する。ここ

で、先ほどと同様に、クロック制御レジスタ 1 6 におけるレジスタ R 1 が “1” に設定される (S 2 0 7)。

【0 0 5 9】

クロック制御レジスタ 1 6 におけるレジスタ R 1 が “1” に設定されることにより、I S O 制御部 1 3 a にクロックが供給され、A V プロトコルの処理が可能となる。その後、Isochronous パケットの送信が開始される (S 2 1 0)。このように、この具体例では、データ転送の直前にクロック制御レジスタ 1 6 が更新されている。

【0 0 6 0】

送信停止の指示があった場合 (S 2 1 1)、b c c レジスタおよび p c c レジスタの値が参照される (S 2 1 2)。Isochronous パケットの送信を停止する場合、自ノードが使用していた b c c または p c c はデクリメントされる。このデクリメント後に、これらレジスタがいずれも “0” のとき、すべてのコネクションが切断されている状態にある。このとき、I S O 制御部 1 3 a へのクロックの遮断が可能であり、クロック制御レジスタ 1 6 におけるレジスタ R 1 が “0” に設定される (S 2 1 3)。その後、Isochronous パケットの送信が停止される (S 2 1 4)。このように、この具体例では、データ転送の直後にクロック制御レジスタ 1 6 が更新されている。

【0 0 6 1】

また、他ノードが自ノードの o P C R レジスタを変更して強制的にコネクションを確立する場合には、次のような処理が行われる。図 8 は、他ノードがコネクションを確立／切断する場合のフローチャートである。まず、他ノードからのロック・リクエスト・パケットが受信され、P C R が更新される (S 3 0 1)。P C R の更新後、ロック・レスポンス・パケットが送信される (S 3 0 2)。そして、自ノードの o P C R レジスタにおける b c c レジスタおよび p c c レジスタがいずれも “0” であるか否かが確認される (S 3 0 3)。いずれかが “0” でない場合、他ノードからのコネクション確立の要求が発生しているため、Isochronous パケットの送信に備えてクロック制御レジスタ 1 6 におけるレジスタ R 1 が “1” に設定される (S 3 0 4)。これにより、I S O 制御部 1 3 a にクロッ

クが供給され、A V プロトコルの処理が可能となる。その後、Isochronousパケットの送信が開始される（S 3 0 5）。このように、この具体例では、データ転送の直前にクロック制御レジスタ 1 6 が更新されている。

【 0 0 6 2 】

Isochronousパケットの送信中に他ノードからのロック・リクエスト・パケットが受信され、P C R の更新イベントが発生したとき（S 3 0 1）、自ノードの P C R レジスタにおける b c c レジスタおよび p c c レジスタがいずれも“0”に設定されたか否かが確認される（S 3 0 3）。これらレジスタがいずれも“0”である場合、すべてのコネクションが切断されている状態にある。このとき、I S O 制御部 1 3 a へのクロックの遮断が可能であり、クロック制御レジスタ 1 6 におけるレジスタ R 1 が“0”に設定される（S 3 0 6）。その後、Isochronousパケットの送信が停止される（S 3 0 7）。このように、この具体例では、データ転送の直後にクロック制御レジスタ 1 6 が更新されている。

【 0 0 6 3 】

以上、本実施形態によると、1 3 9 4 L S I 1 0 A にクロック制御レジスタ 1 6 を備えることによって、第 1 の実施形態と比較して端子数を削減することができる。また、これにより、スイッチ 1 4 a ～ 1 4 d が外部からのノイズを受けにくくなる。また、マイコン 2 0 によって、複数のプロトコル処理回路 1 3 a ～ 1 3 d のそれぞれについて、1 3 9 4 制御情報に基づく使用の有無を判定することができる。これにより、1 3 9 4 L S I 1 0 A の消費電力を最小限にまで低減することができる。クロック制御レジスタ 1 6 の更新を、上記の説明において示したような最適のタイミングで行うことによって、1 3 9 4 L S I 1 0 A の消費電力をおよそ 5 5 % にまで低減することができる。

【 0 0 6 4 】

なお、マイコン 2 0 は 1 3 9 4 L S I 1 0 A の外部に設けられたものとして説明したが、マイコン 2 0 の機能、すなわち本発明の判定手段を 1 3 9 4 L S I 1 0 A に組み込んでもよい。これにより、外部に備えられるマイコン 2 0 が行うべき処理が軽減され、より低能力、すなわちより安価なものに置き換えが可能となる。

【 0 0 6 5 】

また、レジスタ値が“0”のときクロックを供給し、“1”のときクロックを遮断するようにしてもよい。このようにしても、本発明が奏する効果になんら変わりはない。

【 0 0 6 6 】

さらに、1 3 9 4 L S I 1 0, 1 0 A は、それぞれ4 個のプロトコル処理回路を備えているものとして説明したが、本発明はこれに限定されるものではない。5 個以上のプロトコル処理回路を備えた1 3 9 4 L S I についても、上記と同様の効果を得ることができる。

【 0 0 6 7 】

また、プロトコル処理回路1 3 の動作／休止の切り替えを、クロックの供給／遮断の切り替えによって行うものとしたが、本発明はこれに限定されるものではない。たとえば、プロトコル処理回路1 3 の電源をそれぞれ別系統にし、これら電源の供給／遮断を行うようにしてもよい。

【 0 0 6 8 】

【発明の効果】

以上のように、本発明によると、I E E E 1 3 9 4 規格に準拠したシリアルデータ転送に係るプロトコル処理回路を複数有するインタフェース制御半導体集積回路において、プロトコル処理回路に、個別に、クロックの供給／遮断を行うことができる。これにより、データ転送に使用すべきプロトコル処理回路にのみクロックを供給し、使用されないプロトコル処理回路へのクロックを遮断することができ、インタフェース制御半導体集積回路の消費電力を低減することができる。

【 0 0 6 9 】

また、1 3 9 4 制御情報に基づいてクロックの供給／遮断の判定が行われることによって、プロトコル処理回路へのクロック供給／遮断を適切に行うことができる。これにより、インタフェース制御半導体集積回路の消費電力を最小限にまで低減することができる。したがって、本発明のインタフェース制御半導体集積回路は、消費電力低減に対する要求が特に厳しいモバイル機器に用いられること

によって、モバイル機器の稼働時間を向上するという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の 1 3 9 4 L S I の構成図である。

【図 2】

本発明の第 2 の実施形態のデータ転送装置の構成図である。

【図 3】

クロック制御レジスタの内容を示す図である。

【図 4】

クロックの供給／遮断の判定方法のフローチャートである。

【図 5】

I E E E 1 3 9 4 のトランザクションのタイミングチャートである。

【図 6】

P C R (プラグ・コントロール・レジスタ) のアドレスマップである。

【図 7】

自ノードがコネクションを確立／切断する場合のフローチャートである。

【図 8】

他ノードがコネクションを確立／切断場合のフローチャートである。

【図 9】

A V 系および P C 系の双方のプロトコル処理回路を備えた従来の 1 3 9 4 L S I の構成図である。

【符号の説明】

1 0 , 1 0 A 1 3 9 4 L S I (インタフェース制御半導体集積回路)

1 3 a I S O 制御部 (プロトコル処理回路)

1 3 b 著作権機能制御部 (プロトコル処理回路)

1 3 c S B P - 2 制御部 (プロトコル処理回路)

1 3 d A s y n c _ c 制御部 (プロトコル処理回路)

1 4 a , 1 4 b , 1 4 c , 1 4 d スイッチ

1 6 クロック制御レジスタ

1 7 クロックセクタ

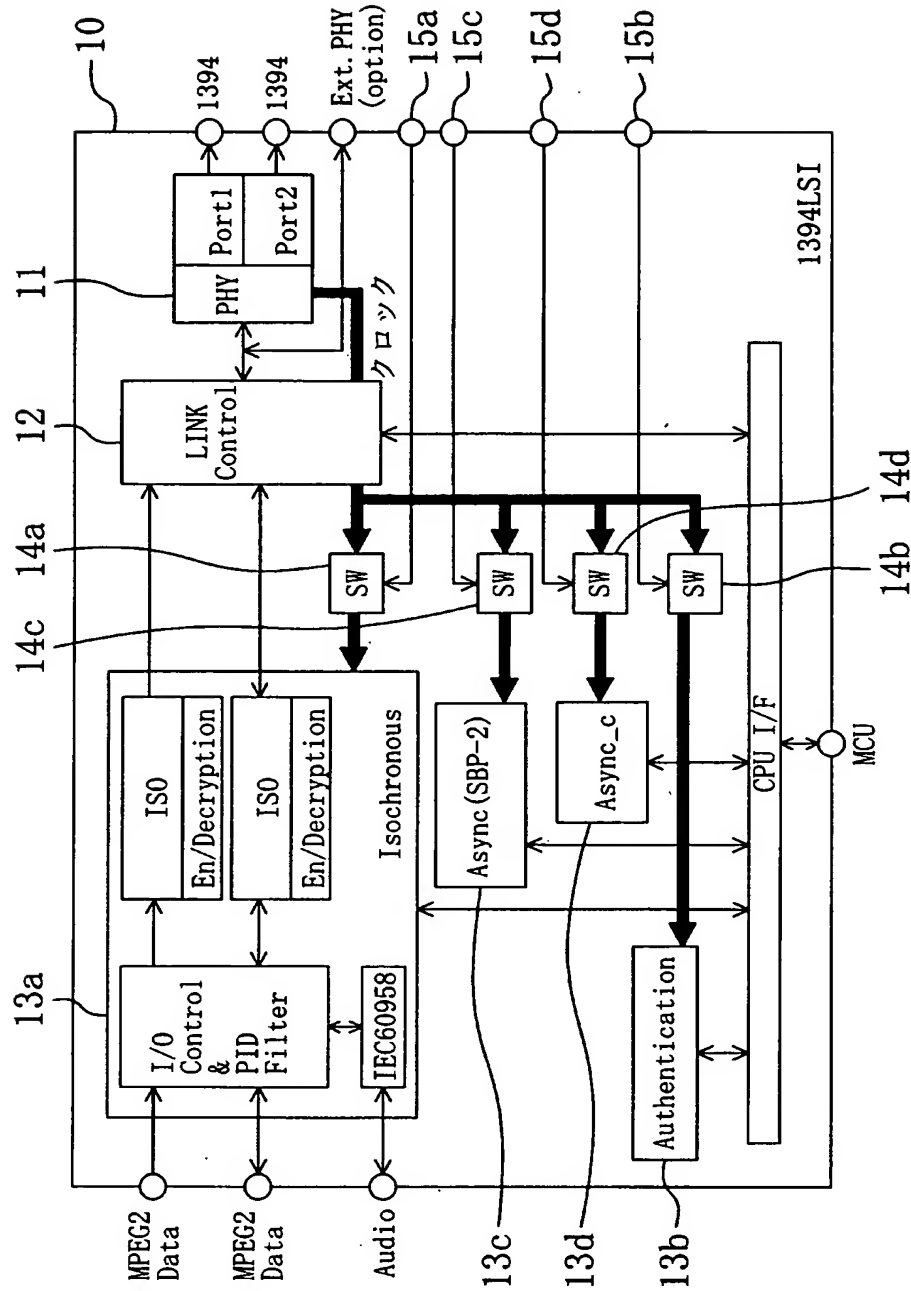
2 0 マイコン（判定手段）

T R 1 データ転送の開始を要求するトランザクション

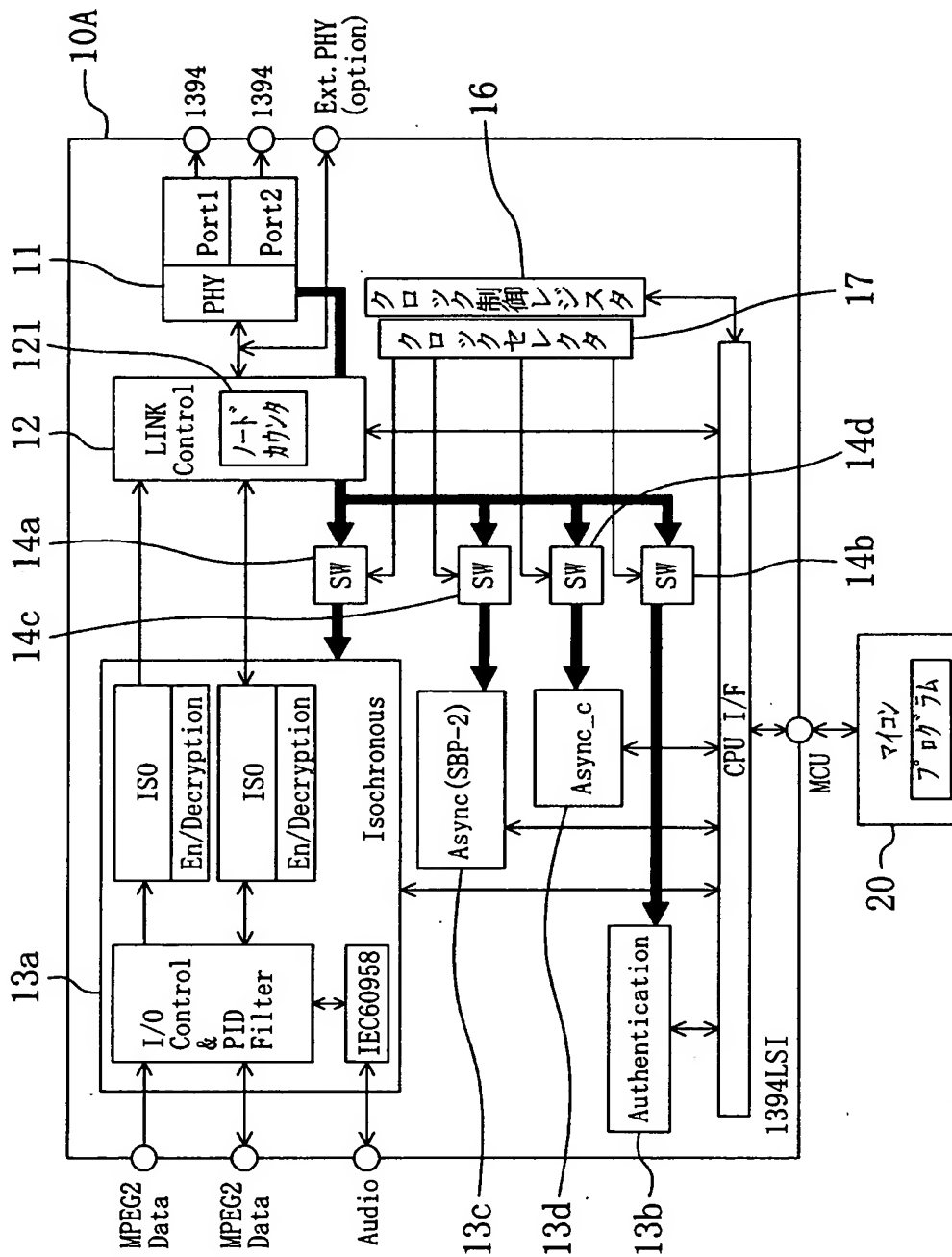
T R 3 データ転送の停止を要求するトランザクション

【書類名】 図面

【図 1】

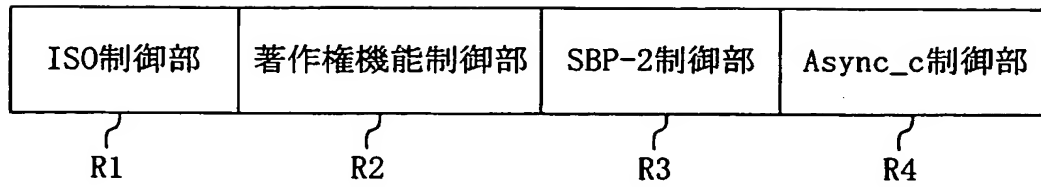


【図2】

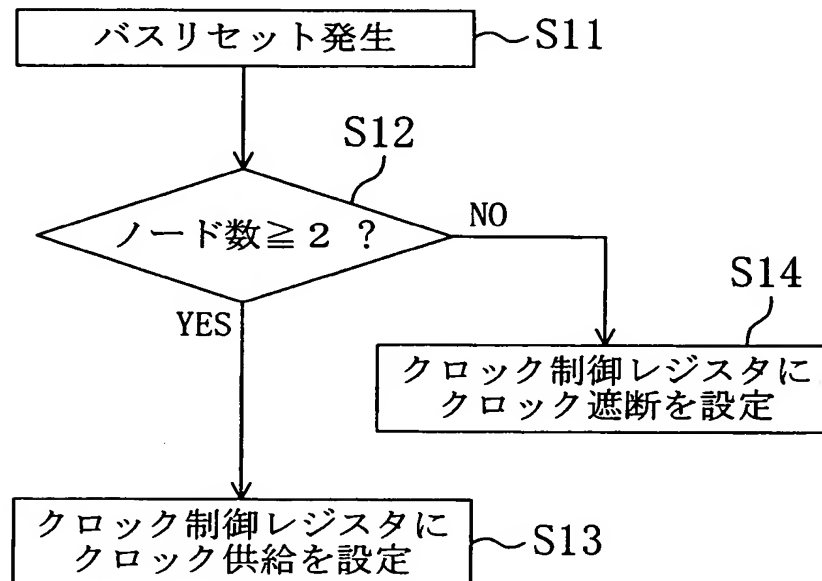


【図 3】

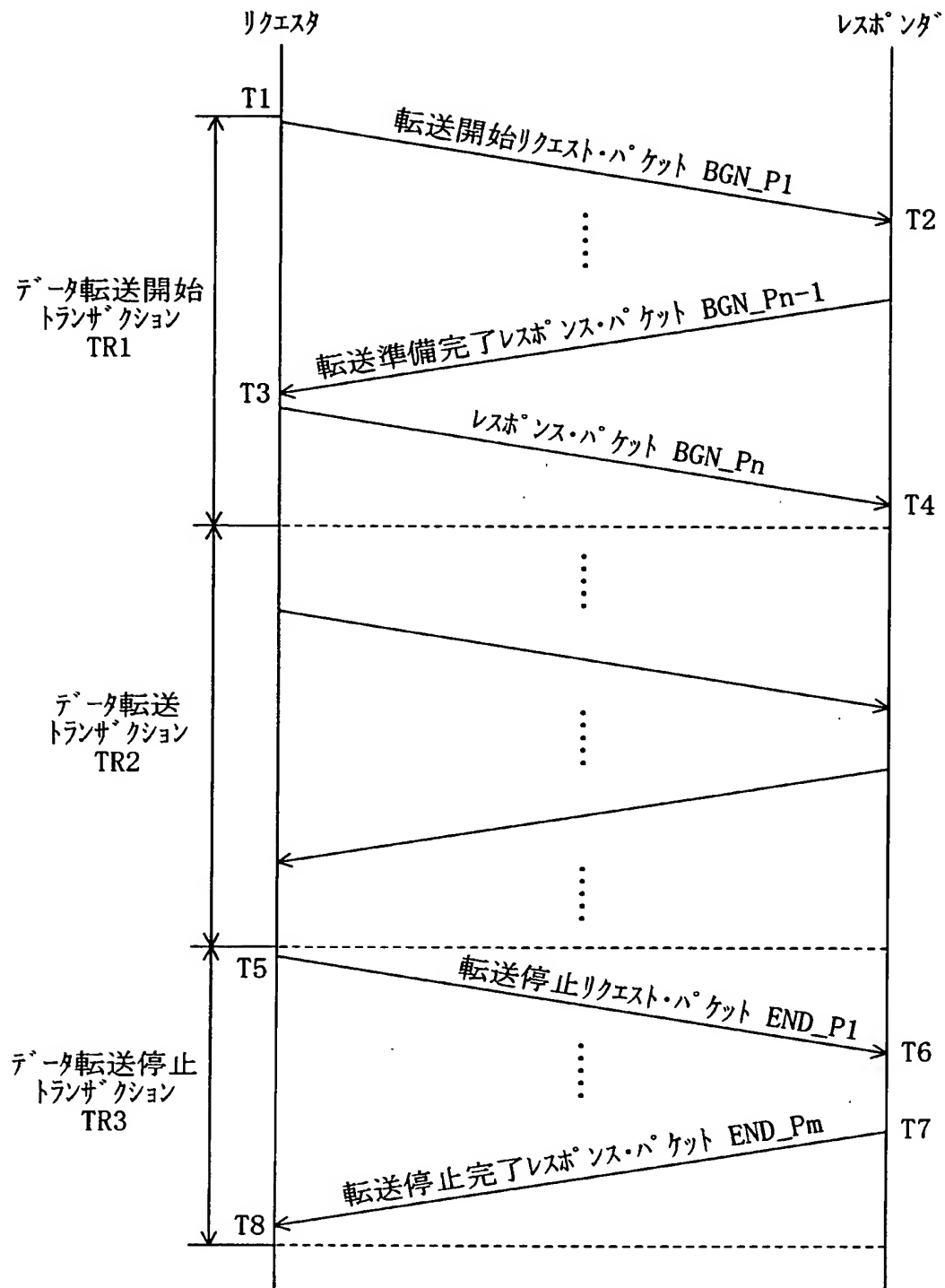
16



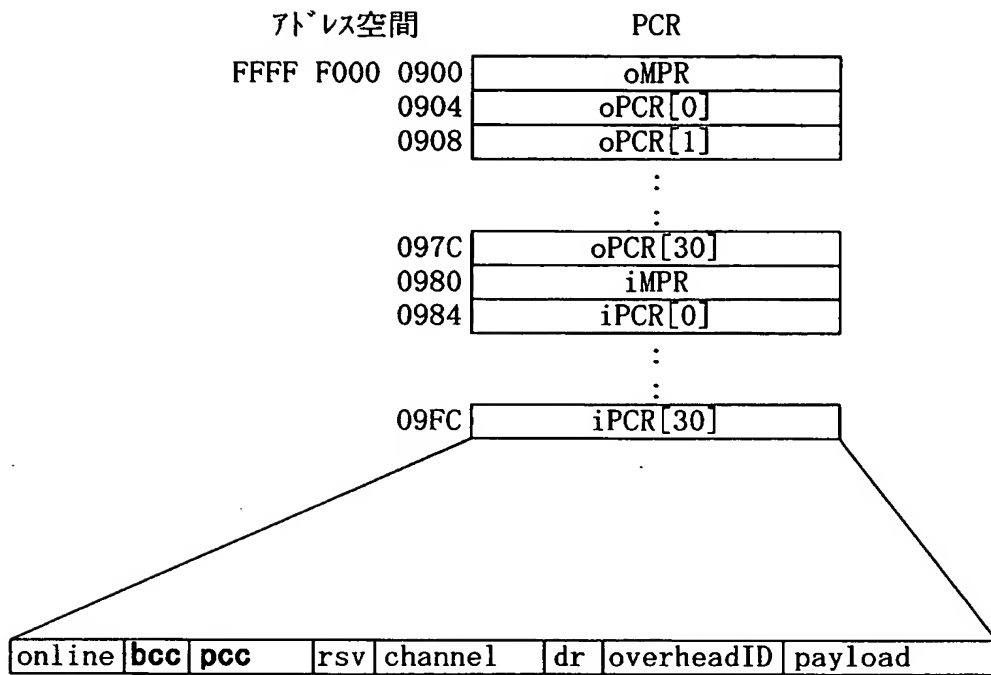
【図 4】



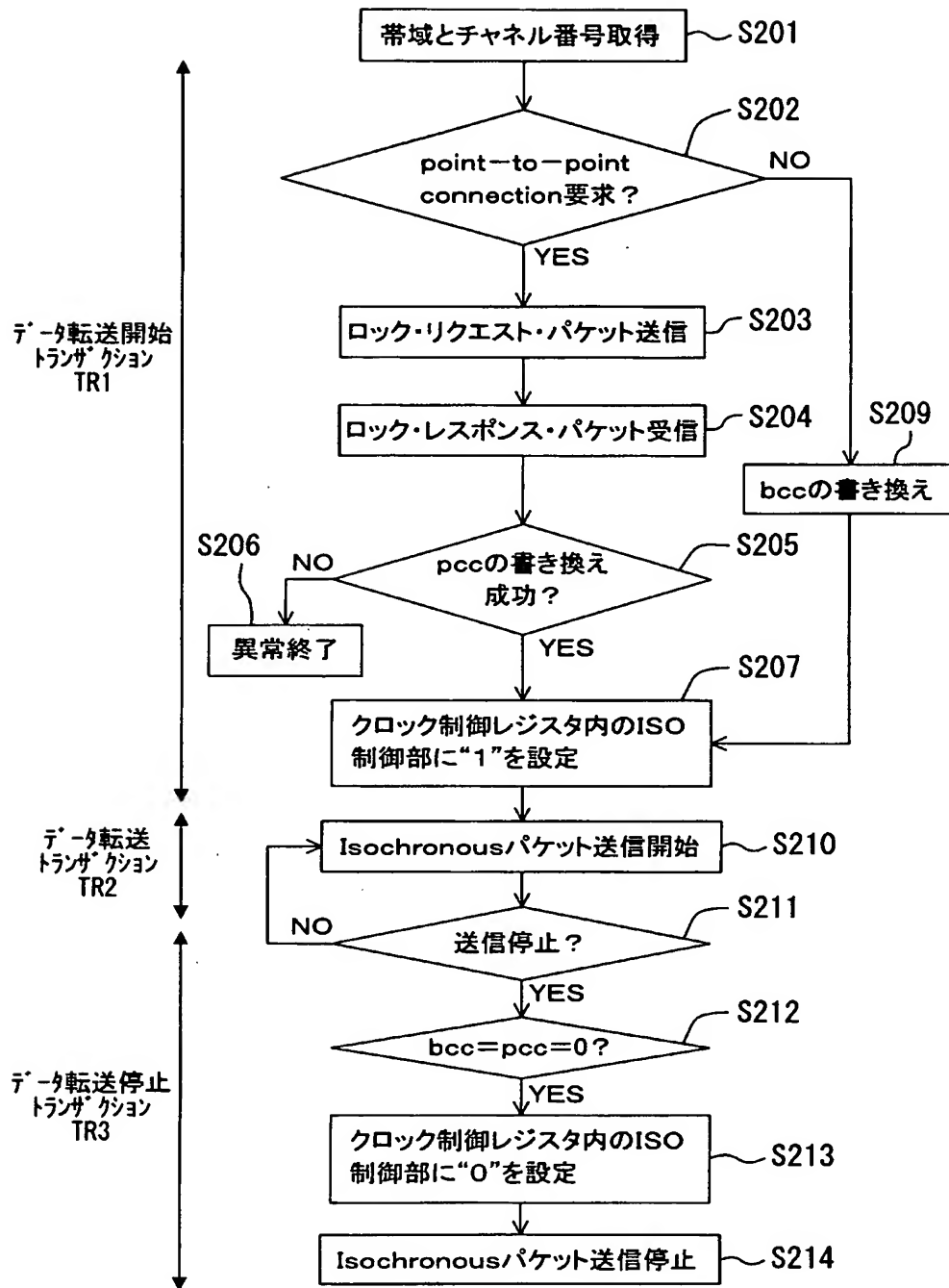
【図 5】



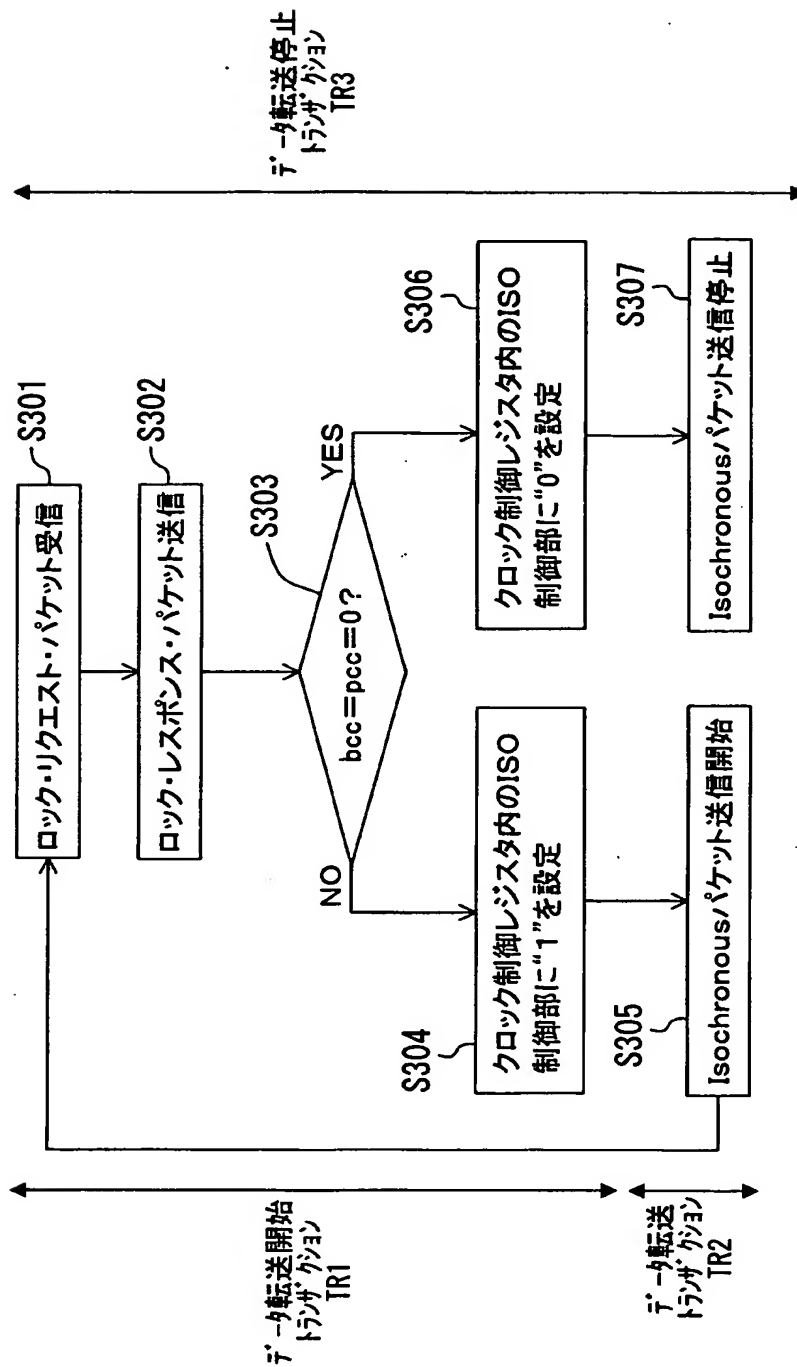
【図 6】



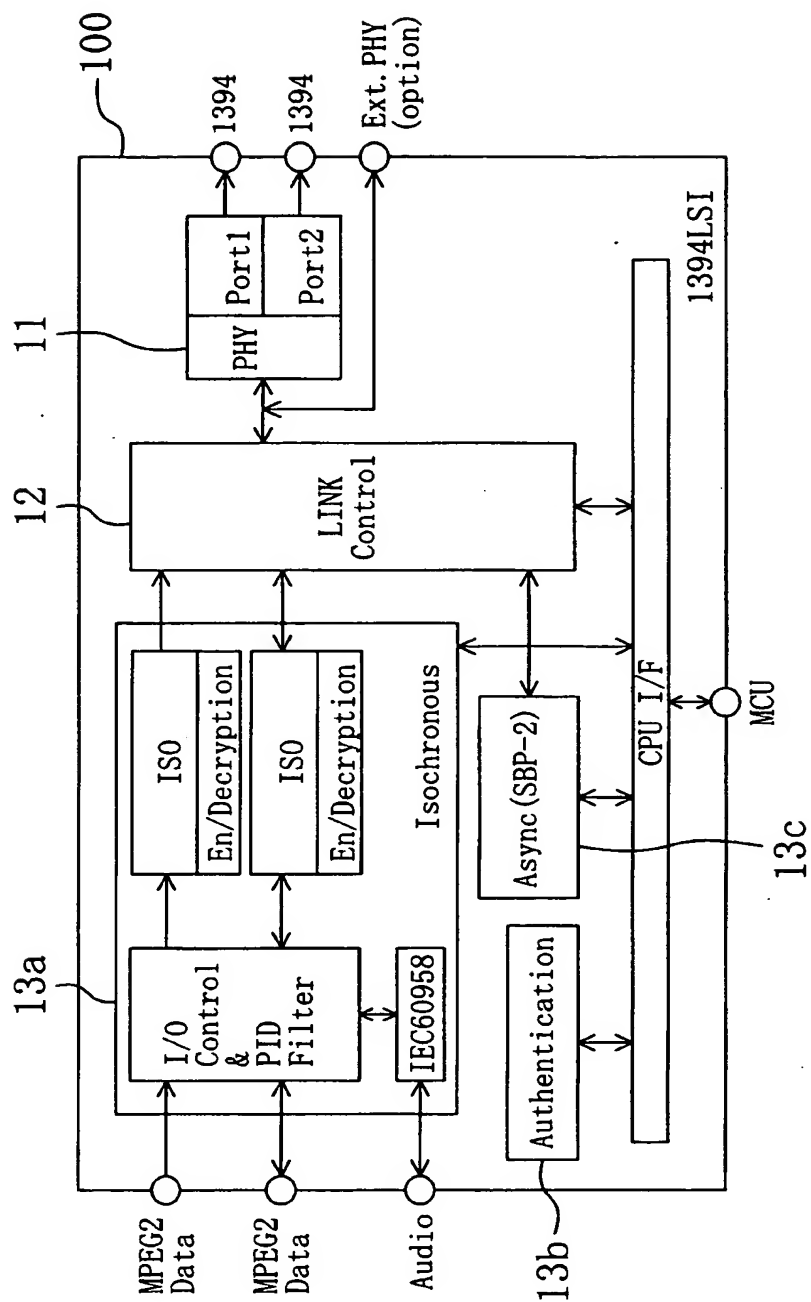
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 I E E E 1 3 9 4 規格に準拠したデータ転送に係る、A V系やP C系などのプロトコルを処理するプロトコル処理回路を複数有するインタフェース制御半導体集積回路の消費電力を低減する。

【解決手段】 複数のプロトコル処理回路を有するインタフェース制御半導体集積回路として、前記複数のプロトコル処理回路のそれぞれについて、クロックの供給／遮断の切り替えを行うスイッチを設ける。これにより、スイッチによって、複数のプロトコル処理回路について、個別にクロックを供給したり、遮断したりすることができる。したがって、使用すべきプロトコル処理回路にはクロックを供給し、使用されないプロトコル処理回路へのクロックを遮断するといった制御が可能となり、インタフェース制御半導体集積回路の消費電力を低減することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社